

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-145022

(43)Date of publication of application : 04.06.1990

(51)Int.Cl.

H03M 1/10

(21)Application number : 63-298264

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 28.11.1988

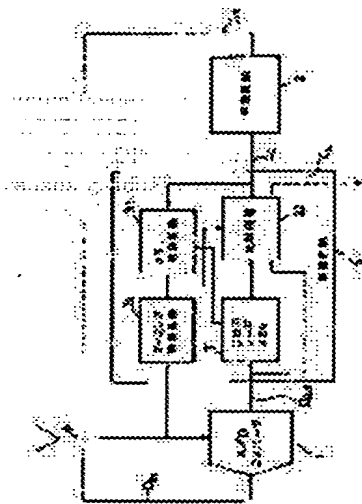
(72)Inventor : KOBAYASHI OSAMU
GOTO KUNIIKO
TSUKAMOTO SABUROKU

(54) TEST METHOD FOR ANALOG/DIGITAL CONVERTER

(57)Abstract:

PURPOSE: To easily decide the presence of a fault of an A/D converter by increasing (decreasing) gradually an analog signal in response to an 'H' level ('L' level) of control signal, supplying the result to the A/D converter and detecting whether or not the output code of the A/D converter reaches a maximum value (minimum value) finally.

CONSTITUTION: A smoothing circuit 2 increases gradually an analog signal DIN when a control signal C0 is at an 'H' level and decreases gradually the analog signal DIN when the control signal C0 is at an 'L' level. When an A/D converter 1 is normal, the output code of the A/D converter 1 is incremented gradually by 1. Since a control circuit 3 keeps outputting the H level of the control signal C0, the A/D converter 1 finally outputs a maximum value 25510 of the output code. If the A/D converter 1 is faulty, the A/D converter 1 outputs respectively the code before and after missing of a code. The fault of the A/D converter is easily decided by detecting whether or not the output of the A/D converter reaches the maximum value of the output code in this way.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-145022

⑮ Int. Cl.⁵

H 03 M 1/10

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月4日

C

6832-5 J

審査請求 未請求 請求項の数 2 (全9頁)

⑭ 発明の名称 アナログ/デジタル変換器の試験方法

⑰ 特 願 昭63-298264

⑱ 出 願 昭63(1988)11月28日

⑲ 発 明 者 小 林 修 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 後 藤 邦 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 塚 本 三 六 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエルエスアイ株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 出 願 人 富士通ヴィエルエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

㉒ 代 理 人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

アナログ/デジタル変換器の試験方法

2. 特許請求の範囲

1. アナログ/デジタル変換器(1)の変換域の全域に対応するアナログ信号(D_{in})を出力可能であって、且つ、該アナログ信号を制御信号(C₀)の論理レベルに応じて漸次増加または減少させて該アナログ/デジタル変換器に供給する平滑回路(2)と、該アナログ/デジタル変換器から出力されたデジタル信号(D_{out})に 応答し、該デジタル信号のコードが漸次1ずつ増加または減少しているか否かを判定し、該判定結果に基づき前記制御信号を所定の論理レベルに制御する制御回路(3)とを設け、

前記アナログ/デジタル変換器から出力されたデジタル信号のコードが最終的に該アナログ/デジタル変換器の変換域の最大値または最小値に達するか否かに基づいて該アナログ/デジタル変換器の異常の有無を判定するようにしたこ

とを特徴とするアナログ/デジタル変換器の試験方法。

2. 前記平滑回路(2)は前記アナログ/デジタル変換器の変換域の全域に亘って直線性の良好な三角波信号を発生する回路(21~26, 41~45)を有し、且つ、前記制御回路(3)は該アナログ/デジタル変換器の動作クロック(ϕ)を発生すると共に該アナログ/デジタル変換器のデジタル出力信号の変化点を検出して該検出を指示する第2の制御信号(C₁)を出力し、該クロックおよび第2の制御信号の発生するタイミングの関係を求めることで該アナログ/デジタル変換器の精度の評価を行うようにしたことを特徴とする請求項1に記載の試験方法。

3. 発明の詳細な説明

(概 要)

A/Dコンバータの試験方法に関し、比較的簡易な構成で、A/Dコンバータの異常の有無を短時間のうちに検出し、ひいては試験の効率化を図ることを目的とし、

A/Dコンバータの変換域の全域に対応するアナログ信号を出力可能であって、且つ、該アナログ信号を制御信号の論理レベルに応じて漸次増加または減少させて該A/Dコンバータに供給する平滑回路と、該A/Dコンバータから出力されたデジタル信号にตอบสนองし、該デジタル信号のコードが漸次1ずつ増加または減少しているか否かを判定し、該判定結果に基づき前記制御信号を所定の論理レベルに制御する制御回路とを設け、前記A/Dコンバータから出力されたデジタル信号のコードが最終的に該A/Dコンバータの変換域の最大値または最小値に達するか否かに基づいて該A/Dコンバータの異常の有無を判定するように構成する。

(産業上の利用分野)

本発明は、アナログ/デジタル変換器（以下、A/Dコンバータと称する）の試験方法に関し、特に、A/Dコンバータの異常の有無を検出し、該検出に基づき該コンバータの精度の評価を行う

LE、DLEと称する）を求める、②基準デジタル/アナログ(D/A)コンバータを用いてDC直線性試験を行い、LEを求める、③ヒストグラム法によりコード欠け等を検出したり、あるいはLE、DLEを求める、④高速フーリエ変換(FFT)試験を行い、全体的な精度すなわち有効ビット数を求める、等の手法が知られている。

例えばコード欠け、単調性異常（第5図(a)および(b)参照；一点鎖線で示されるように、デジタル出力信号 D_{out} のコード13(10)が欠けた状態や、出力形態の単調性に異常がある状態）等の局所的な異常を検出する場合には、まずA/Dコンバータに1LSBの電圧幅より十分に小さい幅で順次アナログ入力信号を該A/Dコンバータの変換域全域に亘って印加し、次いで各々のアナログ入力信号に対応して該A/Dコンバータより出力されたデジタル出力信号をデータ処理し、該データ処理の結果に基づいて上記局所的な異常の有無を検出していた。

つまり、A/Dコンバータの異常は局所的であ

技術に関する。

近年、ビデオ、オーディオ分野等を始めとして各分野でデジタル化が進んでおり、それに伴い、アナログ信号をデジタル信号に変換するA/Dコンバータの需要が増大している。このようなA/Dコンバータは、技術の進歩、市場の要求により高分解能化および高速化が進んでおり、それに伴い、その試験および評価に要する時間や、利得誤差、直線性誤差、コード欠け（いわゆるビット抜け）等の測定項目の量も増大し、複雑化してきている。

このため、A/Dコンバータの試験および精度の評価を効率的に行えるようにした各種の方法、試験装置等が要望されている。

【従来の技術、および発明が解決しようとする課題】

従来のA/Dコンバータの試験および評価の方法としては、例えば、①ACサーボ法により非直線性誤差、微分非直線性誤差（以下、それぞれ

るにもかかわらず、該コンバータの変換域全域に亘って全体的な試験を行いその結果を解析した後でないと、該コンバータの異常または故障の有無を判定できないという不都合があった。そのため、高分解能化および高速化に伴って試験および評価に要する時間が長くなり、さらには、そのための装置の構成が複雑化し、コスト的にも高価なものになるという問題があった。

また、精度を上げるという観点からはアナログ入力信号のステップ数を増大することが好ましいが、反面、その分だけA/Dコンバータの試験に要する時間が長くなるので、試験の効率化という観点からは不利なものとなる。

さらに、ビデオ帯域で用いられる高速A/Dコンバータの場合、方式として全並列型あるいは直並列型を採用する場合が多く、それらの方式では多数のコンパレータ（例えばnビットの分解能では、 $2^n - 1$ 個のコンパレータ）を並列に用いている。従って、コンパレータの異常に起因するコード欠け等の局所的な異常を検出する場合でも、

全てのコンバータについて動作を確認した後でないと異常の有無を判定できないため、時間的に不利となり、A/Dコンバータの試験を効率的に行うという観点から好ましいとは言えない。

本発明の主な目的は、上述した従来技術における課題に鑑み、比較的簡易な構成で、A/Dコンバータの異常の有無を短時間のうちに検出し、ひいては試験の効率化を図ることができる試験方法を提供することにある。

また、本発明の他の目的は、上記異常の有無の検出に基づいてA/Dコンバータの精度の評価を効率良く行うことを可能にすることにある。

〔課題を解決するための手段〕

上述した従来技術における課題を解決するため、本発明によれば、A/Dコンバータの変換域の全域に対応するアナログ信号を出力可能であって、且つ、該アナログ信号を制御信号の論理レベルに応じて漸次増加または減少させて該A/Dコンバータに供給する平滑回路と、該A/Dコンバータ

Dコンバータに供給する。従って、A/Dコンバータからは最終的に、該A/Dコンバータの変換域の最大値（または最小値）に相当する出力コードが出力される。

一方、A/Dコンバータが異常であれば、該A/Dコンバータから出力されるデジタル信号のコードは、単調的な変化をせずに、増加あるいは減少したりしながら出力される。つまり、1毎に変化せずに、コード飛びを発生させたりしながら出力される。従って、制御回路から出力される (4-2) 制御信号の論理レベルは、一定とはならない。そのため、平滑回路は、アナログ信号を漸次増加あるいは減少させたりしながらA/Dコンバータに供給する。つまり、A/Dコンバータの出力コードは、漸次増加（または減少）する方向に一方に変化することなく、増加したりあるいは減少したりしながら変化していく。従って、A/Dコンバータの出力コードは、相当の時間が経過した後でもその最大値に到達することはできない。

このように、A/Dコンバータの出力コードが

から出力されたデジタル信号に回答し、該デジタル信号のコードが漸次1ずつ増加または減少しているか否かを判定し、該判定結果に基づき前記制御信号を所定の論理レベルに制御する制御回路とを設け、前記A/Dコンバータから出力されたデジタル信号のコードが最終的に該A/Dコンバータの変換域の最大値または最小値に達するか否かに基づいて該A/Dコンバータの異常の有無を判定するようにしたことを特徴とするA/Dコンバータの試験方法が提供される。 (4-2)

〔作用〕

A/Dコンバータが正常であれば、該A/Dコンバータからはデジタル信号のコードが漸次1ずつ増加（または減少）して出力される。従って、制御回路からは一定の論理レベル（“H”レベルまたは“L”レベルのいずれか一方）の制御信号が出力される。それによって、平滑回路は、“H”レベル（または“L”レベル）の制御信号に回答してアナログ信号を漸次増加（または減少）させ、A/

最終的にその最大値（または最小値）に達するか否かを検出することで、A/Dコンバータの異常の有無を容易に判定することができる。これは、特別なデータ処理等を用いずに行うことができるので、時間の短縮化および効率化な試験という観点から極めて好適である。

なお、本発明の他の構成上の特徴および作用の詳細については、添付図面を参照しつつ以下に記述される実施例を用いて説明する。

〔実施例〕

第1図には本発明のA/Dコンバータの試験方法が適用される装置の構成が示される。本実施例の装置は、A/Dコンバータのコード欠け、単調性異常等の局所的な異常の有無を検出する場合に適用される。

同図において、1は被試験用のA/Dコンバータであって、制御回路3（後述）から供給されるクロックφに回答して平滑回路2（後述）の出力信号（アナログ入力信号）D_{in}をデジタル出力

信号 D_{out} に変換する機能を有している。例として、今、8ビットのA/Dコンバータについて考えると、出力信号 D_{out} としては、 $256 (= 2^8)$ 通りのコードが出力される。従って、A/Dコンバータ1は、機能的に正常であれば、所定数のクロック ϕ が入力される毎にその立ち下がりエッジでデジタル出力信号 D_{out} のコードを漸次+1ずつ増加していく。アナログ入力 D_{in} の変換域を $VR_L \sim VR_H$ ($VR_L < VR_H$) に設定すると、入出力の対応関係は、 $D_{in} = VR_L$ の時は $D_{out} = 0$ (10)、 $D_{in} = VR_H$ の時は $D_{out} = 255$ (10) となる。なお、添字の (10) は10進法表示を表す。

平滑回路2は、A/Dコンバータ1の変換域の全域 $VR_L \sim VR_H$ に対応するアナログ信号 D_{in} を出力することができ、制御回路3から供給される制御信号(判別結果指示信号)C。の論理レベルに応じて該アナログ信号を平滑化し、該平滑化された信号をA/Dコンバータ1に供給する機能を有している。具体的には、平滑回路2は、制御信号C。が“H”レベルの時にアナログ信号 D_{in} を漸次

増加し、制御信号C。が“L”レベルの時にアナログ信号 D_{in} を漸次減少する。

平滑回路2は、一例として例えば第2図(a)に示されるように、入出力端の間に接続された抵抗器21と、出力端とグランドの間に接続されたキャパシタ22とから構成されている。また、平滑回路の電圧変化の速度 dV/dt は、以下の条件、

$$dV/dt < (VR_H - VR_L) / (2^n \cdot \phi_T) \dots [1]$$

および

$$dV/dt > (VR_L - VR_H) / (2^n \cdot \phi_T) \dots [2]$$

を満たすように選定される。ここで、

n はA/Dコンバータの分解能(bit)、

ϕ_T はA/Dコンバータの変換時間(s/cycle)、

VR_H はA/Dコンバータの変換域の上限値(V)、

VR_L はA/Dコンバータの変換域の下限値(V)、を表す。

上記の[1]式は、A/Dコンバータにおいてコード欠け、単調性異常等の局所的な異常の有無を検出するための条件であり、[2]式は、後述するようにA/Dコンバータに異常箇所前後のコード

を出力させるための条件である。なお、[2]式の条件が満たされない場合には、A/Dコンバータは、異常箇所のコード D_x とコード D_y の間の出力コードを出力し続けることになる。ただし、コード D_y は、 $D_x - (dV/dt) \cdot 2^n \cdot \phi_T / (VR_H - VR_L)$ で規定される。

制御回路3は、A/Dコンバータ1から出力されたデジタル出力信号 D_{out} のコードを一時的に記憶しておくためのデジタル(D)出力コードメモリ31と、比較回路32と、メモリ制御回路33と、A/Dコンバータ動作クロック ϕ を生成するためのタイミング調整回路34とから構成されている。比較回路32は、メモリ31から読み出されたコードとA/Dコンバータ1から出力されたコードとの比較(減算)を行い、該比較結果に基づいて制御信号C。を“H”レベルまたは“L”レベルに制御する機能を有している。

メモリ制御回路33は、比較回路の出力C。の論理レベルに応じて、D出力コードメモリ31に対しデータ保持およびデータ読み出しの制御を行うと

共に、比較回路32に対して演算の制御を行う機能を有している。具体的には、比較回路の出力C。が“H”レベルの時は、A/Dコンバータ1から出力されたコードはメモリ31において一時ラッチされた後、順次比較回路32に取り込まれる。一方、比較回路の出力C。が“L”レベルの時は、該出力C。が“H”レベルに変化するまでの間、A/Dコンバータ1からの出力コードはメモリ31において保持され、その保持されたコードが比較回路32に取り込まれる。

今仮に、A/Dコンバータ1の現在の出力コードを D_n 、前出力コードを D_{n-1} とすると、制御回路3は、その入力信号 D_{out} および平滑回路2への制御信号C。に関して、以下の表1に示されるような動作を行う。ここで、現在の出力コード D_n はA/Dコンバータ1から出力されたコードに対応し、前出力コード D_{n-1} はメモリ31から読み出されたコードに対応する。

表1

D_{out}	C_0
$D_n = 0$	"H"レベル
$D_{n-1} - D_n = 0$	"H"レベル
$D_{n-1} - D_n = -1$	"H"レベル
$D_{n-1} - D_n \geq 1$	"L"レベル、かつ、 D_{n-1} のデータ保持
$D_{n-1} - D_n \leq -2$	"L"レベル、かつ、 D_{n-1} のデータ保持

次に、第1図装置の作用について第3図の信号波形図および表1を参照しながら説明する。なお、A/Dコンバータのデジタル出力 D_{out} のコード D_n は、初期状態すなわち試験開始時において0(10)となるようにセットされる。

(1) A/Dコンバータ1が正常な場合(第3図(a)参照)

まず、コード D_n は0(10)であるので、制御回路3は"H"レベルの制御信号 C_0 を出力し、それを平滑回路2に供給する。これによって、該平滑回路の出力、すなわちA/Dコンバータ1のアナ

ログ信号 D_{in} は漸次増加していく。そして、A/Dコンバータ1が1(10)のコードを出力し得る程度までアナログ信号 D_{in} の電圧が上昇すると、A/Dコンバータ1からは新たな出力コード D_n として1(10)が出力される。

この時、D出力コードメモリ31には前出力コード D_{n-1} として0(10)が保持されており、結局、比較回路32はこの前出力コード D_{n-1} (0(10))と今出力された新たな出力コード D_n (1(10))との減算処理を行う。つまり、 $D_{n-1} - D_n = -1$ となるので、制御回路3は"H"レベルの制御信号 C_0 を出力する。従って、平滑回路の出力、すなわちA/Dコンバータ1のアナログ信号 D_{in} は漸次増加し、A/Dコンバータ1が2(10)のコードを出力し得る程度まで該アナログ信号 D_{in} の電圧が上昇すると、A/Dコンバータ1からは新たな出力コード D_n として2(10)が出力される。

この時、D出力コードメモリ31には前出力コード D_{n-1} として1(10)が保持されており、結局、比較回路32において、前出力コード D_{n-1} (1(10))

と今出力された新たな出力コード D_n (2(10))との減算処理が行われる。以降同様のステップが繰り返される。

この場合、A/Dコンバータ1は正常であるので、A/Dコンバータ1の出力コードは漸次1ずつ増加する。それによって、制御回路3も"H"レベルの制御信号 C_0 を出力し続けるので、A/Dコンバータ1のアナログ信号 D_{in} は漸次増加していく。従って、第3図(a)に示されるように、最終的にはt₀の時点において、A/Dコンバータ1は出力コードの最大値255(10)を出力する。

(2) A/Dコンバータ1が異常な場合(第3図(b)参照)

例えば、第5図(a)に示されるように出力コード13(10)が出力されず、出力コードが……11(10)→12(10)→14(10)……と変化する場合(コード欠けの場合)について説明する。

最初はコード D_n が0(10)であるので、制御回路3は"H"レベルの制御信号 C_0 を出力し、それによって、A/Dコンバータのアナログ信号 D_{in}

は漸次増加し、その出力コードは漸次1ずつ増加していく。

D出力コードメモリ31に前出力コード D_{n-1} として12(10)が保持され、且つ、A/Dコンバータ1から出力コード D_n として14(10)が出力された時点で、比較回路32は $D_{n-1} - D_n = -2$ の減算を行う。これによって制御回路3は、"L"レベルの制御信号 C_0 を出力すると共に、メモリ31内のコード D_{n-1} (12(10))を保持する。制御信号 C_0 が"L"レベルになると、平滑回路の出力、すなわちA/Dコンバータ1のアナログ信号 D_{in} は漸次減少し、A/Dコンバータ1が12(10)のコードを出力する程度まで該アナログ信号 D_{in} の電圧が低下すると、A/Dコンバータ1からは新たな出力コード D_n として12(10)が出力される。

この時、D出力コードメモリ31には前出力コード D_{n-1} として12(10)が保持されているので、結局、比較回路32は前出力コード D_{n-1} (12(10))と今出力された新たな出力コード D_n (12(10))との減算処理を行う。この結果は0であるので、制

御回路3は“H”レベルの制御信号C。を出力する。それによって、A/Dコンバータのアナログ信号 D_{in} は漸次増加し、やがて、A/Dコンバータは出力コード D_n として再び14(10)を出力する。以降同様にして、上述した動作が繰り返される。

従って、コード欠けの異常がある場合には第3図(b)に示されるように、A/Dコンバータ1はコード欠けのある部分の前後のコード(12(10)または14(10))を繰り返し出力する。つまり、正常であればその出力コードの最大値255(10)に到達するであろうところの時間 t_0 が経過した後でも、この場合には、出力コードは依然として12(10)または14(10)を呈する。

次に、別の異常の形態として、第5図(b)に示されるように出力コードが……11(10)→12(10)→11(10)→12(10)→13(10)……と変化する場合(単調性異常の場合)について説明する。

コード欠けの場合と同様に、出力コード D_n は12(10)までは正常に漸次1ずつ増加していく。

D出力コードメモリ31に前出力コード D_{n-1} と

して12(10)が保持され、且つ、A/Dコンバータ1から出力コード D_n として11(10)が出力された時点で、比較回路32は $D_{n-1} - D_n = 1$ の減算を行う。これによって制御回路3は、“L”レベルの制御信号C。を出力すると共に、メモリ31内のコード D_{n-1} (12(10))を保持する。制御信号C。が“L”レベルになると、平滑回路の出力、すなわちA/Dコンバータ1のアナログ信号 D_{in} は漸次減少する。やがて出力コード D_n として12(10)が出力される。

この時、D出力コードメモリ31には前出力コード D_{n-1} として12(10)が保持されているので、結局、比較回路32は前出力コード D_{n-1} (12(10))と今出力された新たな出力コード D_n (12(10))との減算処理を行う。この結果は0であるので、制御回路3は“H”レベルの制御信号C。を出力する。以降同様にして、上述した動作が繰り返される。

従って、コード欠けの場合と同様に単調性異常の場合にも、A/Dコンバータ1は単調性に異常のあるコード間のコードを繰り返し出力する。そ

のため、A/Dコンバータ1の出力コードの最大値255(10)は出力され得ない。

以上説明したように、A/Dコンバータ1のコード欠けあるいは単調性異常等の局部的な異常は、A/Dコンバータから出力されたデジタル出力信号 D_{out} が最終的にその出力コードの最大値に到達するかどうかを検出することで、容易に判定することができる。これは、特別なデータ処理等を用いずに行うことができるので、時間の短縮化に寄与し、効率化な試験という観点から極めて好適である。

上述した実施例ではA/Dコンバータのコード欠けおよび単調性異常の有無を検出する場合について説明したが、第1図の構成を少し変形することで、A/Dコンバータの試験および評価を行う場合に有用な微分非直線性誤差(DLE)を求めることができる。

この変形例の特徴は、第1図の構成に対し、①平滑回路2として第2図(b)または(c)に示される回路構成を用い、それによってA/Dコンバー

タ1の変換域の全域に亘って直線性の良好な三角波信号を発生させるようにしたこと、および②制御回路3が該A/Dコンバータのデジタル出力信号 D_{out} の変化点を検出して制御信号C。(第1図に破線で表示)を出力すること、である。

第2図(b)の形態において平滑回路2は、(a)の構成に加え、インバータ23と、CMOS構成のトランジスタ24および25と、バッファ26とから構成されている。また、(c)の形態において、平滑回路2は、インバータ41と、積分回路を構成する抵抗器42、44およびインバータ43と、バッファ45とから構成されている。

この場合も前述した実施例と同様、制御回路3は、以下の表2に示されるような動作を行う。

以下余白

表 2

D_{out}	C_0	C_L
$D_n = 0$	"H"レベル	
$D_{n-1} - D_n = 0$	"H"レベル	"L"レベル
$D_{n-1} - D_n = -1$	"H"レベル	"H"レベル
$D_{n-1} - D_n \geq 1$	"L"レベル、かつ、 D_{n-1} のデータ保持	
$D_{n-1} - D_n \leq -2$	"L"レベル、かつ、 D_{n-1} のデータ保持	

この変形例の各部の信号波形は第4図に示されるが、同図に示されるように、A/Dコンバータの動作制御用クロック ϕ と制御信号 C_L の発生するタイミングの関係を求めることにより、上述したDLEを測定することができる。これによって、A/Dコンバータの精度の評価を行うことが可能となる。

(発明の効果)

以上説明したように本発明によれば、比較的簡易な構成で、A/Dコンバータの異常の有無を短

時間のうちに検出することができ、しかも、特別なデータ処理等を用いずに異常の判別を行えるため、試験および検査の効率化に寄与するところが多い。また、簡単な変形でDLEを求めることができるので、A/Dコンバータの精度の評価を効率良く行うことも可能である。

4. 図面の簡単な説明

第1図は本発明のA/Dコンバータの試験方法が適用される装置の構成例を示すブロック図、

第2図(a)～(c)は第1図における平滑回路の構成例を示す回路図、

第3図(a)および(b)は第1図装置の作用を説明するための信号波形図、

第4図は第1図装置の変形例の作用を説明するための信号波形図、

第5図(a)および(b)はA/Dコンバータの異常動作を説明するための図、

(符号の説明)

1…A/Dコンバータ、 2…平滑回路、

3…制御回路、

21～26、41～45…三角波発生回路、

31…D出力コードメモリ、32…比較回路、

33…メモリ制御回路、

34…タイミング調整回路、

D_{in} …アナログ入力信号、

D_{out} …デジタル出力信号、

C_0 、 C_L …制御信号、 ϕ …クロック。

特 許 出 願 人

富 士 通 株 式 会 社

富士通ヴィエルエスアイ株式会社

特許出願代理人

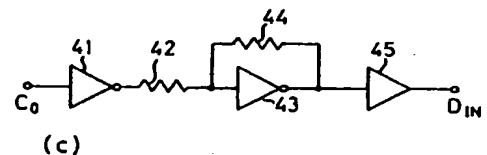
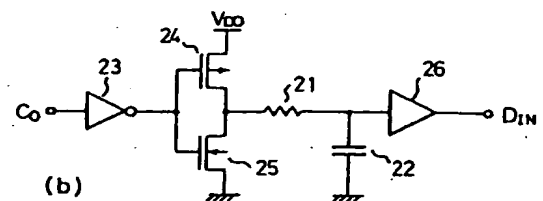
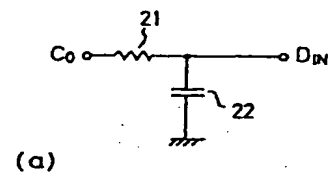
弁理士 青 木 朗

弁理士 石 田 敬

弁理士 平 岩 賢 三

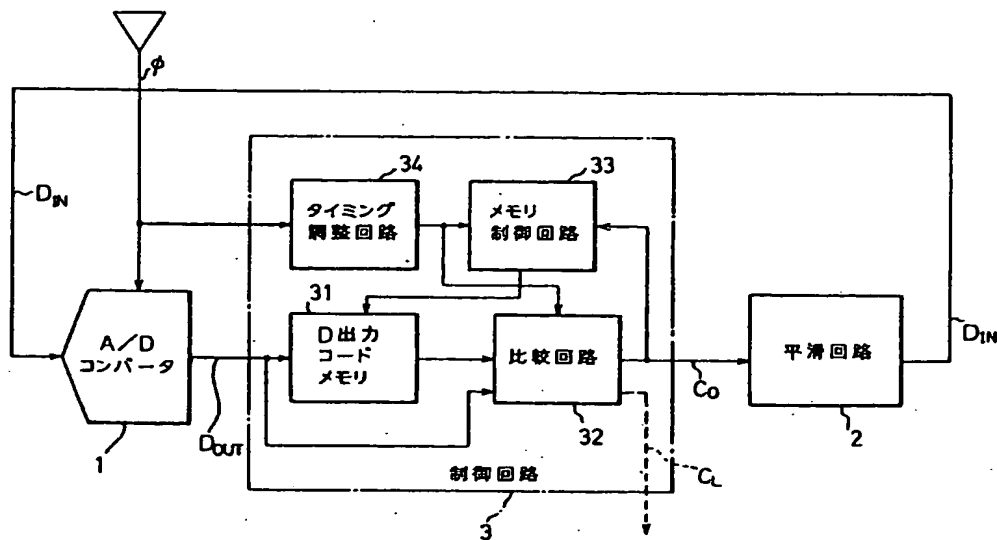
弁理士 山 口 昭 之

弁理士 西 山 雅 也



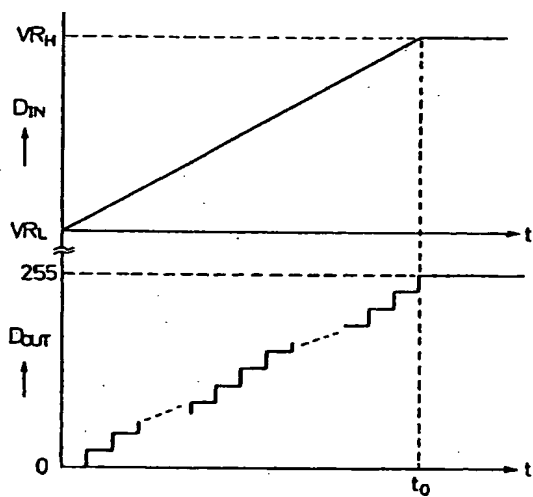
第1図における平滑回路の構成例を示す回路図

第 2 図

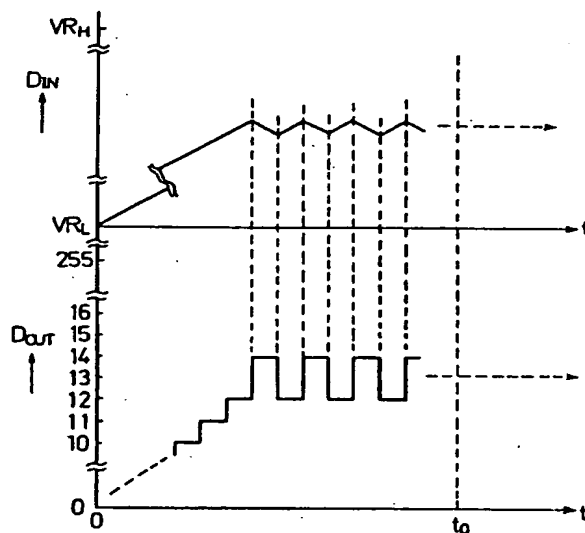


本発明のA/Dコンバータの試験方法が
適用される装置の構成例を示すブロック図

第 1 図



(a) A/Dコンバータが正常な場合



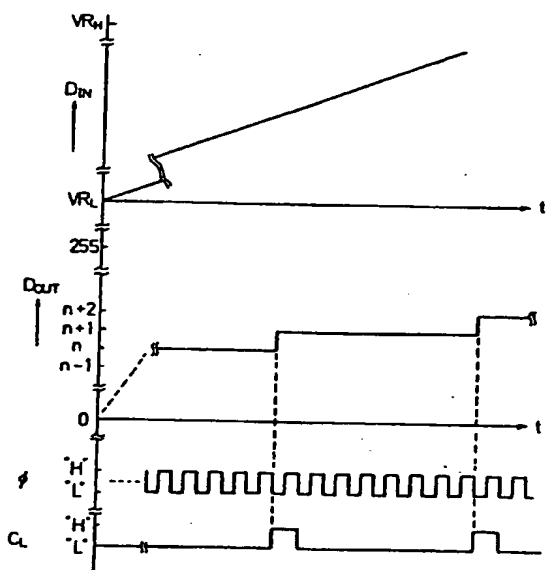
(b) A/Dコンバータが異常な場合

第 1 図装置の作用を説明するための信号波形図

第 3 図

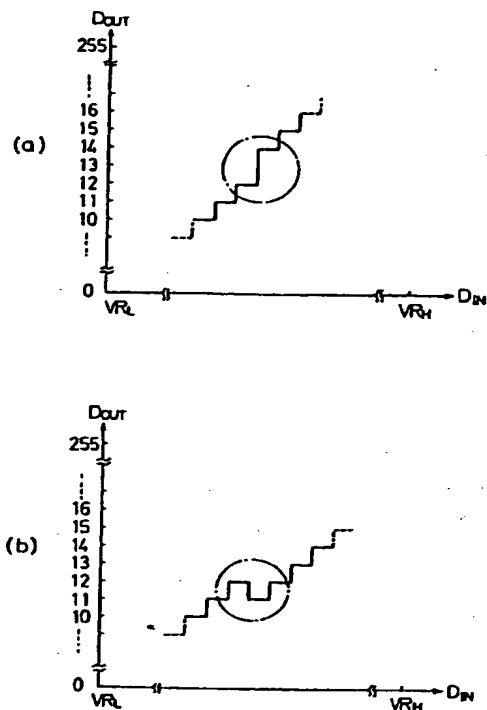
第 1 図装置の作用を説明するための信号波形図

第 3 図



第1図装置の定形例の作用を説明するための信号波形図

第4図



A/Dコンバータの異常動作を説明するための図

第5図

